

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Toru KOGA

Application No.:

Group Art Unit:

Filed: July 29, 2003

Examiner:

For: SEMICONDUCTOR MEMORY

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2002-251851

Filed: August 29, 2002

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: July 29, 2003

By: 

H. J. Staas

Registration No. 22,010

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月29日

出願番号

Application Number:

特願2002-251851

[ST.10/C]:

[JP2002-251851]

出願人

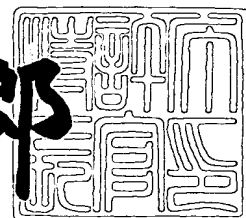
Applicant(s):

富士通株式会社

2002年12月10日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3097323

【書類名】 特許願

【整理番号】 0241114

【提出日】 平成14年 8月29日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明の名称】 半導体メモリ

【請求項の数】 8

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 古賀 徹

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100072718

 【弁理士】

 【氏名又は名称】 古谷 史旺

 【電話番号】 3343-2901

【手数料の表示】

 【予納台帳番号】 013354

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9704947

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体メモリ

【特許請求の範囲】

【請求項 1】 メモリセルにそれぞれ接続され、互いに異なるデータ端子に対応する複数のビット線と、前記ビット線にそれぞれ接続された複数のセンスアンプと、前記ビット線をデータバス線にそれぞれ接続する複数のコラムスイッチ回路とを有し、前記ビット線の配線方向の直交方向に配列された複数の副メモリ部と、

アドレスの異なる偶数個の前記副メモリ部で構成された複数の主メモリ部と、前記副メモリ部の少なくとも一つを有し、前記主メモリ部内の前記副メモリ部のうち不良の副メモリ部が無効にされたときに有効にされる冗長メモリ部と、

前記各主メモリ部に形成され、前記コラムスイッチ回路が配置されるコラムスイッチ領域とを備え、

前記コラムスイッチ領域は、前記ビット線の配線方向を軸として鏡面对称に形成されていることを特徴とする半導体メモリ。

【請求項 2】 請求項 1 記載の半導体メモリにおいて、

前記各副メモリ部において、前記コラムスイッチ回路は、前記ビット線の配線方向に沿って一列に配置されており、

前記各主メモリ部内の互いに隣接する前記副メモリ部において、前記コラムスイッチ回路は、前記データ端子の番号の並び順を逆にして配置されていることを特徴とする半導体メモリ。

【請求項 3】 請求項 2 記載の半導体メモリにおいて、

前記データバス線は、前記ビット線の配線方向の直交方向に並ぶ前記コラムスイッチ回路の列ごとに、この列に沿ってそれぞれ配線されていることを特徴とする半導体メモリ。

【請求項 4】 請求項 1 記載の半導体メモリにおいて、

前記コラムスイッチ回路は、

ドレインが前記データバス線のいずれかに接続され、アドレスに応じて選択されるコラム選択信号をゲートで受ける第 1 トランジスタと、

ゲートが前記ビット線のいずれかに接続され、ドレインが読み出し動作時に前記第 1 トランジスタのソースに電氣的に接続される第 2 トランジスタとを備えていることを特徴とする半導体メモリ。

【請求項 5】 請求項 1 記載の半導体メモリにおいて、

前記データバス線は、メモリセルから読み出される読み出しデータと、メモリセルに書き込まれる書き込みデータとが転送されることを特徴とする半導体メモリ。

【請求項 6】 請求項 5 記載の半導体メモリにおいて、

前記コラムスイッチ回路は、

ドレインが前記データバス線のいずれかに接続され、アドレスに応じて選択されるコラム選択信号をゲートで受ける第 1 トランジスタと、

ゲートが前記ビット線に接続され、ソースがソース電源に接続された第 2 トランジスタと、

ドレインが前記第 1 トランジスタのソースに接続され、ソースが前記第 2 トランジスタのドレインに接続され、読み出し動作時に活性化レベルに変化する読み出し制御信号をゲートで受ける第 3 トランジスタと、

ドレインが前記ビット線に接続され、ソースが前記第 1 トランジスタのソースに接続され、書き込み動作時に活性化レベルに変化する書き込み制御信号をゲートで受ける第 4 トランジスタとを備えていることを特徴とする半導体メモリ。

【請求項 7】 請求項 1 記載の半導体メモリにおいて、

前記アドレスに応じて選択される複数のコラム選択信号を、前記副メモリ部にそれぞれ伝達するための複数の第 1 コラム選択線と、

前記主メモリ部および前記冗長メモリ部の前記副メモリ部にそれぞれ形成され、前記コラムスイッチ回路に接続された第 2 コラム選択線と、

前記主メモリ部の前記副メモリ部のうち不良のある副メモリ部を示す不良情報が格納される不良情報記憶部と、

前記不良情報記憶部の記憶内容に応じて切り替えられ、前記第 1 コラム選択線を、前記不良のある副メモリ部の前記第 2 コラム選択線から切り離し、前記主メモリ部の正常に動作する副メモリ部および前記冗長メモリ部の副メモリ部の前記

第2コラム選択線に接続する冗長スイッチ部とを備えていることを特徴とする半導体メモリ。

【請求項8】 請求項1記載の半導体メモリにおいて、
前記ビット線は、相補のビット線対の一方のビット線を構成し、
前記データバス線は、相補のデータバス線対の一方のデータバス線を構成し、
前記各センスアンプは、前記各ビット線対に共有され、
前記コラムスイッチ領域は、前記ビット線対に対応するコラムスイッチ回路を含むことを特徴とする半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、製造工程で発生した不良を救済する冗長回路を有する半導体メモリに関する。

【0002】

【従来の技術】

DRAM等の半導体メモリでは、良品率である歩留を向上し、チップコストを下げるために、製造工程で発生した不良を救済する冗長回路を有している。不良を含む回路は、試験工程において冗長回路に置き換えられ、不良が救済される。

一方、半導体メモリの開発時および量産を開始した直後における不良解析は、歩留を向上するために重要である。不良解析の結果を製造工程にフィードバックすることで、歩留を早期に安定させることができる。

【0003】

上記不良解析では、まず、不良個所を特定するために、LSIテストタを使用し、電氣的解析が実施される。この際、LSIテストタで不良と判定されたメモリセルの位置がフェイルビットマップとして出力される。フェイルビットマップは、LSIテストタでの試験結果を視覚的に確認できるため、非常に有用である。そして、フェイルビットマップに基づいて、実際の不良個所（特定のメモリセル、センスアンプ、ワード線、またはデコーダ等）が特定される。この後、不良個所について顕微鏡等を使用した物理的解析が実施され、不良原因が特定される。

【0004】

【発明が解決しようとする課題】

しかしながら、従来の冗長回路を有する半導体メモリでは、不良を含む回路を冗長回路に置き換えたか否かで、ビット線とデータ端子の番号との対応が変わる場合があった。具体的には、冗長回路による置き換えのないときにビット0のデータ端子に対応するビット線が、冗長回路への置き換え後には、ビット1のデータ端子に対応してしまうという問題があった。

このため、特に、物理的解析では、不良個所を特定するために多大な時間が掛かっていた。不良解析に時間が掛かると、製造工程へのフィードバックが遅れ、歩留を早期に安定させることが困難になる。

【0005】

この問題を解決し、物理的解析を円滑に実施するために、従来、冗長回路の使用の有無に応じて、フェイルビットマップを2つ作成していた。しかし、2つのフェイルビットマップする場合、試験設計の時間が増加し、設計効率が低下してしまう。また、2つのフェイルビットマップを使い分ける煩わしさがある。

本発明の目的は、冗長回路の使用の有無にかかわらず、ビット線とデータ端子の番号との対応を統一し、不良解析に掛かる時間を削減することにある。

【0006】

【課題を解決するための手段】

請求項1の半導体メモリでは、各副メモリ部は、メモリセルにそれぞれ接続された複数のビット線と、ビット線にそれぞれ接続された複数のセンスアンプと、ビット線をデータバス線にそれぞれ接続する複数のコラムスイッチ回路とを有している。副メモリ部内のビット線は、互いに異なるデータ端子に対応している。副メモリ部は、ビット線の配線方向の直交方向に配列されている。

各主メモリ部は、アドレスの異なる偶数個の副メモリ部により構成されている。冗長メモリ部は、各主メモリ部と同じ構成を有している。冗長メモリ部は、主メモリ部内の副メモリ部のうち不良の副メモリ部が無効にされたときに有効にされる。すなわち、半導体メモリが不良を有するとき、副メモリ単位で不良の救済が実施される。各主メモリ部において、コラムスイッチ回路が配置されるコラム

スイッチ領域は、ビット線の配線方向を軸として鏡面对称に形成されている。

【0007】

コラムスイッチ領域が鏡面对称にされているため、冗長メモリ部を使用する救済時におけるビット線のデータ端子番号の並び順を、容易に冗長メモリ部を使用しない非救済時と同じにできる。この結果、不良解析時に、救済品と非救済品とでビット線の並び順を考慮する必要がなくなり、不良解析が容易になる。したがって、不良解析に掛かる時間を短縮できる。

【0008】

また、コラムスイッチ領域を鏡面对称にすることで、コラムスイッチ領域のレイアウトサイズを小さくできる。

請求項2の半導体メモリでは、各副メモリ部において、コラムスイッチ回路は、ビット線の配線方向に沿って一列に配置されている。各主メモリ部内の互いに隣接する副メモリ部において、コラムスイッチ回路は、データ端子の番号の並び順を逆にして配置されている。このため、各主メモリ部の互いに隣接する副メモリ部において、一方の副メモリ部のビット線を、一方向に並ぶコラムスイッチ回路に順次接続し、他方の副メモリ部のビット線を逆方向に並ぶコラムスイッチに順次接続することで、ビット線のデータ端子番号の並び順を同じにし、かつ、コラムスイッチ領域を鏡面对称にできる。

【0009】

請求項3の半導体メモリでは、データバス線は、ビット線の配線方向の直交方向に並ぶコラムスイッチ回路の列ごとに、この列に沿ってそれぞれ配線されている。データバス線をコラムスイッチ回路の列毎にそれぞれ配線することで、データバス線を同じデータ端子の番号のコラムスイッチ回路に合わせて、コラムスイッチ回路上で複雑に曲げる必要がなくなる。このため、データバス線の配線レイアウトが容易になる。また、データバス線の配線領域を最小限にできる。

【0010】

請求項4の半導体メモリでは、コラムスイッチ回路は、第1および第2のトランジスタを有している。第1トランジスタは、ドレインがデータバス線のいずれかに接続され、アドレスに応じて選択されるコラム選択信号をゲートで受けてい

る。第2トランジスタは、ゲートがビット線のいずれかに接続され、ドレインが読み出し動作時に第1トランジスタのソースに電氣的に接続される。第2トランジスタは、ゲートをビット線に接続しているため、ビット線の電圧を増幅する機能を有している。この方式は、一般にダイレクトセンス方式と称される。本発明は、ダイレクトセンス方式の半導体メモリにも適用できる。

【0011】

請求項5の半導体メモリでは、データバス線は、メモリセルから読み出される読み出しデータと、メモリセルに書き込まれる書き込みデータとが転送される。データバス線を、読み出しデータおよび書き込みデータで共有することで、データバス線の本数を削減できる。このため、レイアウト設計が容易になる。また、データバス線のレイアウト領域を削減することで、チップサイズを小さくできる。

【0012】

請求項6の半導体メモリでは、コラムスイッチ回路は、第1～第4トランジスタを有している。第1トランジスタは、ドレインがデータバス線のいずれかに接続され、アドレスに応じて選択されるコラム選択信号をゲートで受けている。第2トランジスタは、ゲートがビット線に接続され、ソースがソース電源に接続されている。第3トランジスタは、ドレインが第1トランジスタのソースに接続され、ソースが第2トランジスタのドレインに接続され、読み出し動作時に活性化レベルに変化する読み出し制御信号をゲートで受けている。第4トランジスタは、ドレインがビット線に接続され、ソースが第1トランジスタのソースに接続され、書き込み動作時に活性化レベルに変化する書き込み制御信号をゲートで受けている。

【0013】

読み出し動作時に動作する第2および第3トランジスタと、書き込み動作時に動作する第4トランジスタとを、第1トランジスタに並列に接続することで、データバス線を、読み出しデータおよび書き込みデータで容易に共有できる。

請求項7の半導体メモリでは、各第1コラム選択線は、アドレスに応じて選択される複数のコラム選択信号を、副メモリ部にそれぞれ伝達する。第2コラム選

択線は、主メモリ部および冗長メモリ部の副メモリ部にそれぞれ形成され、コラムスイッチ回路に接続されている。不良情報記憶部は、主メモリ部の副メモリ部のうち不良のある副メモリ部を示す不良情報が格納される。冗長スイッチ部は、不良情報記憶部の記憶内容に応じて切り替えられ、第1コラム選択線を不良のある副メモリ部の第2コラム選択線から切り離し、主メモリ部の正常に動作する副メモリ部の第2コラム選択線および冗長メモリ部の副メモリ部の第2コラム選択線に接続する。

【0014】

例えば、半導体メモリに不良が存在するとき、冗長スイッチ部は、不良のある副メモリ部の第2コラム選択線を避け、第1コラム選択線を順次隣接する第2コラム選択線に接続する。このように、不良があるときに、第1コラム選択線と第2コラム選択線との接続を順次シフトしていく方式は、一般にシフト冗長方式と称される。シフト冗長方式では、コラム選択線の接続が順次シフトするため、副メモリ部のレイアウトによっては、冗長メモリ部を使用するときに、ビット線のリデータ端子番号の並び順が変わってしまう場合がある。本発明を、シフト冗長方式の半導体メモリにも適用することで、この問題を解決できる。すなわち、不良解析時に、救済品と非救済品とでビット線の並び順を考慮する必要がなくなり、不良解析が容易になる。

【0015】

請求項8の半導体メモリでは、ビット線は、相補のビット線対の一方のビット線を構成する。データバス線は、相補のデータバス線対の一方のデータバス線を構成する。各センスアンプは、各ビット線対に共有される。コラムスイッチ領域は、ビット線対に対応するコラムスイッチ回路を含む。すなわち、本発明は、相補のビット線対を有する半導体メモリの各ビット線に対して適用できる。

【0016】

【発明の実施の形態】

以下、本発明の実施形態を図面を用いて説明する。

図1は、本発明の半導体メモリの一実施形態を示している。図中、太線で示した信号線は、複数ビットで構成されている。図の左側の二重丸は、外部端子を示

している。先頭に"/"の付いている信号は、負論理を示している。

この半導体メモリは、DRAMのメモリセルを有し、SRAMのインタフェースを有する擬似SRAMとして形成されている。擬似SRAMは、コマンドデコーダ10、アドレス入力回路12、不良情報記憶部14、タイミング制御回路16、アドレスデコーダ18、データ入出力回路20およびメモリセルアレイ22を有している。擬似SRAMは、図示した以外にも、リフレッシュ動作を所定の間隔で自動的に実行するためのリフレッシュタイマ、リフレッシュアドレスカウンタ、リフレッシュ制御回路等を有している。本発明は、リフレッシュ動作とは直接関係ないため、図示および説明を省略する。

【0017】

コマンドデコーダ10は、チップイネーブル信号/CE、出力イネーブル信号/OE、ライトイネーブル信号/WEをデコードし、デコード結果をタイミング制御回路16に出力する。

アドレス入力回路12は、アドレス端子を介してアドレス信号ADDを受信し、受信したアドレス信号ADDをアドレスデコーダ18に出力する。アドレス信号ADDは、複数ビットからなるロウアドレス信号および複数ビットからなるコラムアドレス信号で構成されている。この擬似SRAMにおいては、ロウアドレス信号およびコラムアドレス信号は、同じタイミングでアドレス端子に供給される。

【0018】

不良情報記憶部14は、ヒューズを有する複数のヒューズ回路で形成されている。ヒューズ回路のヒューズは、試験工程での検査結果に基づいてプログラムされる。具体的には、ヒューズ回路は、例えば、コラムアドレスの各ビットに対応して形成されている。そして、不良のメモリセル等を含むコラムアドレスにおいて、"1"が立っているビットに対応するヒューズ回路のヒューズがカットされる。また、不良情報記憶部14には、冗長メモリ部RUを使用することを示すヒューズ回路も形成されている。不良情報記憶部14は、ヒューズのプログラムに応じて、所定の冗長情報信号RINFを出力する。不良情報記憶部14のプログラムにより、いわゆるコラム冗長が行われる。

【0019】

なお、実際の擬似SRAMは、いわゆるロウ冗長を行うために、ロウアドレス信号に対応する不良を救済する不良情報記憶部および冗長回路を有している。しかし、ロウ冗長の回路については、本発明と直接関係ないため、図示および説明を省略する。

タイミング制御回路 1 6 は、コマンドデコーダ 1 0 からの制御信号を受け、メモリセルアレイ 2 2 およびデータ入出力回路 2 0 の動作を制御するタイミング信号を出力する。アドレスデコーダ 1 8 は、アドレス入力回路 1 2 からのアドレス信号ADDをデコードし、そのデコード信号ADECをメモリセルアレイ 2 2 に出力する。

【 0 0 2 0 】

データ入出力回路 2 0 は、読み出し動作時にメモリセルアレイ 2 2 からコモンデータバスDB上に伝達された読み出しデータをデータ端子DQに出力する。データ端子DQは、8 ビット (DQ0-7) で構成されている。データ入出力回路 2 0 は、書き込み動作時にデータ端子DQを介して供給される書き込みデータをコモンデータバスCDBを介してメモリセルアレイ 2 2 に出力する。

【 0 0 2 1 】

メモリセルアレイ 2 2 は、コラムデコーダCDEC、冗長スイッチ部RSW、複数の主メモリ部MU、および冗長メモリ部RUを有している。主メモリ部MUは、2 つの副メモリ部SUをそれぞれ有している。冗長メモリ部RUは、1 つの副メモリ部SUを有している。なお、メモリセルアレイ 2 2 は、ロウデコーダを有しているが、本発明と直接関係しないため、図示および説明を省略する。

【 0 0 2 2 】

図 2 は、図 1 に示したメモリセルアレイ 2 2 の要部を示している。なお、図 2 以降では、データ端子DQ0、DQ1に対応する回路について説明する。擬似SRAMは、データ端子DQ2-7に対応する回路も有しているが、それら回路は、データ端子DQ0、DQ1に対応する回路と同様なため、図示および説明を省略する。

コラムデコーダCDECは、コラムアドレス信号のデコード信号ADECに応じて第 1 コラム選択線CL1 (CL10、CL11、CL13、...CLn) のいずれかにコラム選択信号 (高レベル) を出力する。

【 0 0 2 3 】

冗長スイッチ部RSWは、複数のスイッチを有している。冗長スイッチ部RSWは、冗長情報信号RINFに応じて、第1コラム選択線CL1を所定の第2コラム選択線CL2（CL20、CL21、CL23、...CL2n、RCL2）に接続する。第2コラム選択線RCL2は、冗長メモリ部RUに形成されるコラム選択線を示している。

図2では、左から2番目の主メモリ部MUにおける左側の副メモリ部SUのメモリセルMCに不良がある例を示している。このとき、不良の存在する主メモリ部MUの第2コラム選択線CL22は、第1コラム選択線CL12に接続されない。すなわち、冗長スイッチ部RSWの各スイッチは、不良情報記憶部14の記憶内容（冗長情報信号RINF）に応じて切り替えられ、第1コラム選択線CL1を不良の存在する第2コラム選択線CL2から切り離し、正常に動作する主メモリ部および冗長メモリ部の第2コラム選択線CL2に接続する。このように、メモリセルアレイ22に不良が存在するときに、不良を避けて第1コラム選択線CL1を順次隣接する第2コラム選択線CL2に切り替える方式は、一般に、シフト冗長方式と称されている。

【 0 0 2 4 】

副メモリ部SUは、ビット線BL、/BLの配線方向に直交する方向（図の横方向）に配列されている。主メモリ部MUおよび冗長メモリ部RUの各副メモリ部SU（一点鎖線の枠）は、データ端子DQ0、DQ1にそれぞれ対応するビット線対BL0、BL1（または/BL0、/BL1）および第2コラム選択線CL2を有している。すなわち、各副メモリ部SUは、互いに異なるデータ端子DQ0、DQ1に対応するビット線BL0、BL1（または/BL0、/BL1）を有している。ビット線対BL、/BLおよび第2コラム選択線CL2は、図の縦方向に沿って配線されている。また、コラム選択線CL1、CL2は、互いに異なるアドレスが割り当てられている。このため、主メモリ部MUおよび冗長メモリ部RU内の副メモリ部SUは、アクセスされるアドレスが互いに異なっている。

【 0 0 2 5 】

各ビット線BL、/BLには、複数のメモリセルMCが接続されている。メモリセルMCは、一般のDRAMのメモリセルと同じであり、データを電荷として保持するためのキャパシタと、このキャパシタとビット線BL（または/BL）との間に配置された転送トランジスタとを有している。転送トランジスタのゲートは、ワード線WL

に接続されている。

【 0 0 2 6 】

主メモリ部MUには、ビット線分離領域IS0、プリチャージ領域PRE、センスアンプ領域SA、コラムスイッチ領域CSR、およびビット線分離領域IS0が、ビット線BL、/BLの配線方向に沿って配置されている。ビット線BL、/BLは、ビット線分離領域IS0に形成されるスイッチ回路を介して接続されている。コラムスイッチ領域CSRには、各副メモリ部SU毎に、ビット線BL0、/BL0、BL1、/BL1に接続されたコラムスイッチ回路CSWが形成されている。

【 0 0 2 7 】

なお、特に図示していないが、図の下側のビット線分離領域IS0の下側には、ビット線BL、/BLにそれぞれ接続された複数のメモリセルMCが形成されている。プリチャージ領域PRE、センスアンプ領域SAおよびコラムスイッチ領域CSRの各回路は、図示したメモリセルMCおよび図の下側のビット線分離領域IS0の下側に存在する図示しないメモリセルMCにより共有される。そして、ロウアドレス信号に応じてビット線分離領域IS0の一方が遮断されることにより、図の上側および下側に配線されたビット線BL、/BLのうち一方が選択される。

【 0 0 2 8 】

図3は、図2の主メモリ部MUにおける2つのビット線分離領域IS0、プリチャージ領域PRE、センスアンプ領域SA、およびコラムスイッチ領域CSRの詳細を示している。

各ビット線分離領域IS0には、ビット線リセット信号BRSL（またはBRSR）に応じてビット線BL、/BLをイコライズするnMOSトランジスタと、ビット線トランスファ信号BLTRに応じてビット線BL、/BLをセンスアンプ領域SA形成されるセンスアンプにそれぞれ接続するnMOSトランジスタとが、ビット線対BL、/BL毎に形成されている。プリチャージ領域PREには、ビット線リセット信号BRSに応じてビット線BL、/BLをプリチャージ電源線VPRにそれぞれ接続するnMOSトランジスタが、ビット線対BL、/BL毎に形成されている。

【 0 0 2 9 】

センスアンプ領域SAには、互いに帰還する2つのインバータで構成され、入力

と出力とがビット線BL、/BLにそれぞれ接続されたセンスアンプ（ラッチ回路）が、ビット線対BL、/BL毎に形成されている。

コラムスイッチ領域CSRには、コラムスイッチ回路CSWが、ビット線BL、/BL毎にそれぞれ形成されている。コラムスイッチ回路CSWは、例えば図の左端のビット線BL0に対応して、ドレインがローカルデータバス線LDB0に接続され、ゲートがコラム選択信号が伝達される第2コラム選択線CL20に接続された第1トランジスタM11と、ゲートがビット線/BL0に接続され、ソースが接地線（ソース電源）に接続された第2トランジスタM21と、ドレインが第1トランジスタM11のソースに接続され、ソースが第2トランジスタM21のドレインに接続され、読み出し動作時に活性化レベルに変化する読み出し制御信号RCLをゲートで受ける第3トランジスタM31と、ドレインがビット線BL0に接続され、ソースが第1トランジスタM11のソースに接続され、書き込み動作時に活性化レベルに変化する書き込み制御信号WCLをゲートで受ける第4トランジスタM41とを有している。

【0030】

あるいは、コラムスイッチ回路CSWは、図の左側のビット線/BL0に対応して、ドレインがローカルデータバス線/LDB0に接続され、ゲートがコラム選択信号が伝達される第2コラム選択線CL20に接続された第1トランジスタM12と、ゲートがビット線BL0に接続され、ソースが接地線（ソース電源）に接続された第2トランジスタM22と、ドレインが第1トランジスタM12のソースに接続され、ソースが第2トランジスタM22のドレインに接続され、読み出し動作時に活性化レベルに変化する読み出し制御信号RCLをゲートで受ける第3トランジスタM32と、ドレインがビット線/BL0に接続され、ソースが第1トランジスタM21のソースに接続され、書き込み動作時に活性化レベルに変化する書き込み制御信号WCLをゲートで受ける第4トランジスタM42とを有している。ビット線BL1、/BL1およびその他のビット線BL0、/BL0のコラムスイッチ回路CSWも、上述と同様に形成されている。

【0031】

第2トランジスタM21、M22は、ゲートをビット線/BL、BLにそれぞれ接続されており、ビット線/BL、BLの電圧を増幅する機能を有している。この方式は、一

般にダイレクトセンス方式と称される。

コラムスイッチ領域CSRには、ビット線対BL0、/BL0（またはBL1、/BL1）に対応してローカルデータバス線LDB（ローカルデータバス線対LDB0、/LDB0またはLDB1、/LDB）が2本ずつ配線されている。ローカルデータバス線LDBは、メモリセルMCから読み出される読み出しデータと、メモリセルMCに書き込まれる書き込みデータとを転送する。すなわち、ローカルデータバス線LDBは、読み出し動作および書き込み動作に共通のバス線である。ローカルデータバス線LDBを、読み出しデータおよび書き込みデータで共有することで、ローカルデータバス線LDBの本数を削減でき、ローカルデータバス線LDBに接続されるトランジスタのジャンクション容量（負荷）を低減できる。この結果、データの入出力時間が短縮されるため、アクセス時間を短くできる。なお、本実施形態では、ローカルデータバス線LDBの本数を削減する代わりに、ローカルデータバス線LDBを各ビット線BL、/BLに2本ずつ配線している。このため、不良解析時に、救済品と非救済品とでビット線BL、/BLの並び順を考慮する必要がなくなり、不良解析が容易になる。したがって、不良解析に掛かる時間を短縮できる。

【0032】

図3の最も左側のビット線対BL0、/BL0は、コラムスイッチ回路CSWを介して図の上側のローカルデータバス線LDB0、/LDB0に接続され、その隣のビット線対BL1、/BL1は、コラムスイッチ回路CSWを介して図の下側のローカルデータバス線LDB1、/LDB1に接続され、その隣のビット線対BL0、/BL0は、コラムスイッチ回路CSWを介して図の下側のローカルデータバス線LDB0、/LDB0に接続され、図の最も右側のビット線対BL1、/BL1は、コラムスイッチ回路CSWを介して図の上側のローカルデータバス線LDB1、/LDB1に接続されている。

【0033】

ローカルデータバス線LDBは、ビット線BL、/BLの配線方向に沿って配線されたグローバルデータバス線GDBにそれぞれ接続されている。グローバルデータバス線GDBは、図示しないリードアンプ、ライトアンプを介して図1に示した共通データバス線CDBに接続されている。

図4は、図2および図3に示したコラムスイッチ領域CSRを示している。

【 0 0 3 4 】

データ端子DQ0、DQ1、DQ0、DQ1にそれぞれ対応し、図3の左側から並ぶコラムスイッチ回路CSW（正確には、ビット線対に対応するコラムスイッチ回路対）は、図4の左上、左下、右下および右上にそれぞれレイアウトされている。すなわち、各副メモリ部SUにおいて、コラムスイッチ回路CSWは、ビット線BL、/BLの配線方向に沿って一列に配置されている。

【 0 0 3 5 】

また、各主メモリ部MUおよび冗長メモリ部RU内の互いに隣接する副メモリ部SUにおいて、コラムスイッチ回路CSWは、データ端子DQの番号の並び順を逆にして配置されている。換言すれば、図の左側の副メモリ部SUでは、コラムスイッチ回路CSWは、データ端子DQの番号が上から昇順になるように配置されている。図の右側の副メモリ部SUでは、コラムスイッチ回路CSWは、データ端子DQの番号が下から昇順になるように配置されている。

【 0 0 3 6 】

図4に示した例では、互いに隣接する副メモリ部SUにおいて、互いに対向するコラムスイッチ回路CSWのデータ端子番号は相違する。しかし、ローカルデータバス線LDBは、ビット線BL、/BLの配線方向の直交方向に並ぶコラムスイッチ回路CSWの列ごとに配線される。このため、ローカルデータバス線LDBをコラムスイッチ領域CSR上で複雑に曲げる必要がなくなり、ローカルデータバス線LDBの配線レイアウトが容易になる。

【 0 0 3 7 】

図5は、図2および図3に示したコラムスイッチ領域におけるトランジスタの配置を示している。図6は、図2および図3に示したコラムスイッチ領域における配線層を示している。

図5において、コラムスイッチ領域CSRは、ビット線BL、/BLの配線方向（図の上下方向）を軸として、鏡面对称に形成されている。具体的には、コラムスイッチ領域CSRに形成されるトランジスタは、図の一点鎖線を軸にして、鏡面对称に形成されている。

【 0 0 3 8 】

一点鎖線上には、図 3 に示した第 2 トランジスタ M21、M22 のソース領域（接地領域）が形成されている。鏡面对象にすることで、接地領域を図の左右のコラムスイッチ回路 CSW で共有できる。このため、コラムスイッチ領域 CSR のレイアウトサイズを小さくできる。

また、主メモリ部 MU において、コラムスイッチ回路 CSW を上記のように互い違いに配置し、ローカルデータバス線 LDB を図の左右方向に並ぶコラムスイッチ回路 CSW の列毎に配線するとともに、コラムスイッチ領域 CSR をビット線 BL、/BL の配線方向を軸として鏡面对称にすることで、冗長メモリ部 RU を使用する救済時において、コラムスイッチ領域 CSR におけるビット線 BL、/BL の並び順（図 6 の左から DQ0、DQ1、DQ0、DQ1）は、冗長メモリ部 RU を使用しない非救済時と容易に同じにできる。この結果、不良解析時に、救済品と非救済品とでビット線 BL、/BL の並び順を考慮する必要がなくなり、不良解析が容易になる。

【 0 0 3 9 】

以上、本実施形態では、主メモリ部 MU において、2 つの副メモリ部 SU に含まれるコラムスイッチ領域 CSR をビット線 BL、/BL の配線方向を軸として鏡面对称に形成し、各主メモリ部 MU および冗長メモリ部 RU 内で互いに隣接する副メモリ部のコラムスイッチ回路 CSW を、データ端子 DQ の異なる番号に対応させることで、冗長メモリ部 RU を使用する救済時におけるビット線 BL、/BL のデータ端子 DQ の番号の並び順を、冗長メモリ部 RU を使用しない非救済時と同じにできる。この結果、不良解析時に、救済品と非救済品とでビット線 BL、/BL の並び順を考慮する必要がなくなり、不良解析が容易にできる。したがって、不良解析に掛かる時間を短縮できる。

【 0 0 4 0 】

コラムスイッチ領域 CSR に複数組のローカルデータバス線 LDB を配線することで、ビット線 BL、/BL の配線方向の直交方向に並ぶコラムスイッチ回路 CSW のデータ端子番号が異なる場合にも、ローカルデータバス線 LDB をコラムスイッチ領域 CSR 上で複雑に曲げる必要がなくなる。このため、ローカルデータバス線 LDB の配線レイアウトが容易になる。また、ローカルデータバス線 LDB の配線領域を最小限にできる。

【 0 0 4 1 】

ローカルデータバス線LDBを読み出しデータおよび書き込みデータで共有することで、コラムスイッチ領域CSRに配線されるローカルデータバス線LDBの本数を削減できる。この結果、コラムスイッチ領域CSRに複数組のローカルデータバス線LDBを容易に配線できる。コラムスイッチ領域CSRに複数組のローカルデータバス線LDBを容易に配線する場合にも、ローカルデータバス線LDBのレイアウト領域を最小限にでき、擬似SRAMのチップサイズが増加することを防止できる。

【 0 0 4 2 】

さらに、本発明は、ダイレクトセンス方式のコラムスイッチ回路CSWを有する擬似SRAMあるいはシフト冗長方式の擬似SRAMに適用できる。

なお、上述した実施形態では、本発明を擬似SRAMに適用した例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、DRAMまたはSRAMに適用してもよい。

【 0 0 4 3 】

上述した実施形態では、各副メモリ部SUに2つのデータ端子DQ0、DQ1に対応するビット線BL0、/BL0、BL1、/BL1およびコラムスイッチ回路CSWを形成した例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、各副メモリ部SUに4つのデータ端子DQ0-DQ3に対応するビット線BL0、/BL0、BL1、/BL1、BL2、/BL2、BL3、/BL3およびコラムスイッチ回路CSWを形成してもよい。

【 0 0 4 4 】

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

【 0 0 4 5 】

【発明の効果】

請求項1の半導体メモリでは、不良を救済する単位でコラムスイッチ領域が鏡面对称にされているため、冗長メモリ部を使用する救済時におけるビット線のデータ端子番号の並び順を、容易に冗長メモリ部を使用しない非救済時と同じにで

きる。この結果、不良解析時に、救済品と非救済品とでビット線の並び順を考慮する必要がなくなり、不良解析が容易になる。したがって、不良解析に掛かる時間を短縮できる。また、コラムスイッチ領域を鏡面对称にすることで、コラムスイッチ領域のレイアウトサイズを小さくできる。

【0046】

請求項2の半導体メモリでは、ビット線のデータ端子番号の並び順を同じにし、かつ、コラムスイッチ領域を鏡面对称にできる。

請求項3の半導体メモリでは、データバス線の配線レイアウトが容易になる。また、データバス線の配線領域を最小限にできる。

請求項4の半導体メモリでは、本発明をダイレクトセンス方式の半導体メモリに適用できる。

【0047】

請求項5の半導体メモリでは、データバス線を、読み出しデータおよび書き込みデータで共有することで、データバス線の本数を削減できる。このため、レイアウト設計が容易になる。また、データバス線のレイアウト領域を削減することで、チップサイズを小さくできる。

請求項6の半導体メモリでは、読み出し動作時に動作する第2および第3トランジスタと、書き込み動作時に動作する第4トランジスタとを、第1トランジスタに並列に接続することで、データバス線を、読み出しデータおよび書き込みデータで容易に共有できる。

【0048】

請求項7の半導体メモリでは、本発明をシフト冗長方式の半導体メモリに適用することで、不良解析時に、救済品と非救済品とでビット線の並び順を考慮する必要がなくなり、不良解析が容易になる。

請求項8の半導体メモリでは、本発明を、相補のビット線対を有する半導体メモリの各ビット線に対して適用できる。

【図面の簡単な説明】

【図1】

本発明の半導体メモリの第1の実施形態を示すブロック図である。

【図 2】

図 1 に示したメモリセルアレイの要部の概要を示すブロック図である。

【図 3】

図 2 の主メモリ部の詳細を示す回路図である。

【図 4】

図 2 および図 3 に示したコラムスイッチ領域を示すレイアウト図である。

【図 5】

図 2 および図 3 に示したコラムスイッチ領域におけるトランジスタの配置を示すレイアウト図である。

【図 6】

図 2 および図 3 に示したコラムスイッチ領域における配線層を示すレイアウト図である。

【符号の説明】

- 1 0 コマンドデコーダ
- 1 2 アドレス入力回路
- 1 4 不良情報記憶部
- 1 6 タイミング制御回路
- 1 8 アドレスデコーダ
- 2 0 データ入出力回路
- 2 2 メモリセルアレイ
- ADD アドレス信号
- ADEC デコード信号
- BL、/BL ビット線（ビット線対）
- /CE チップイネーブル信号
- CL1 第 1 コラム選択線
- SL2 第 2 コラム選択線
- CDEC コラムデコーダ
- CSR コラムスイッチ領域
- CSW コラムスイッチ回路

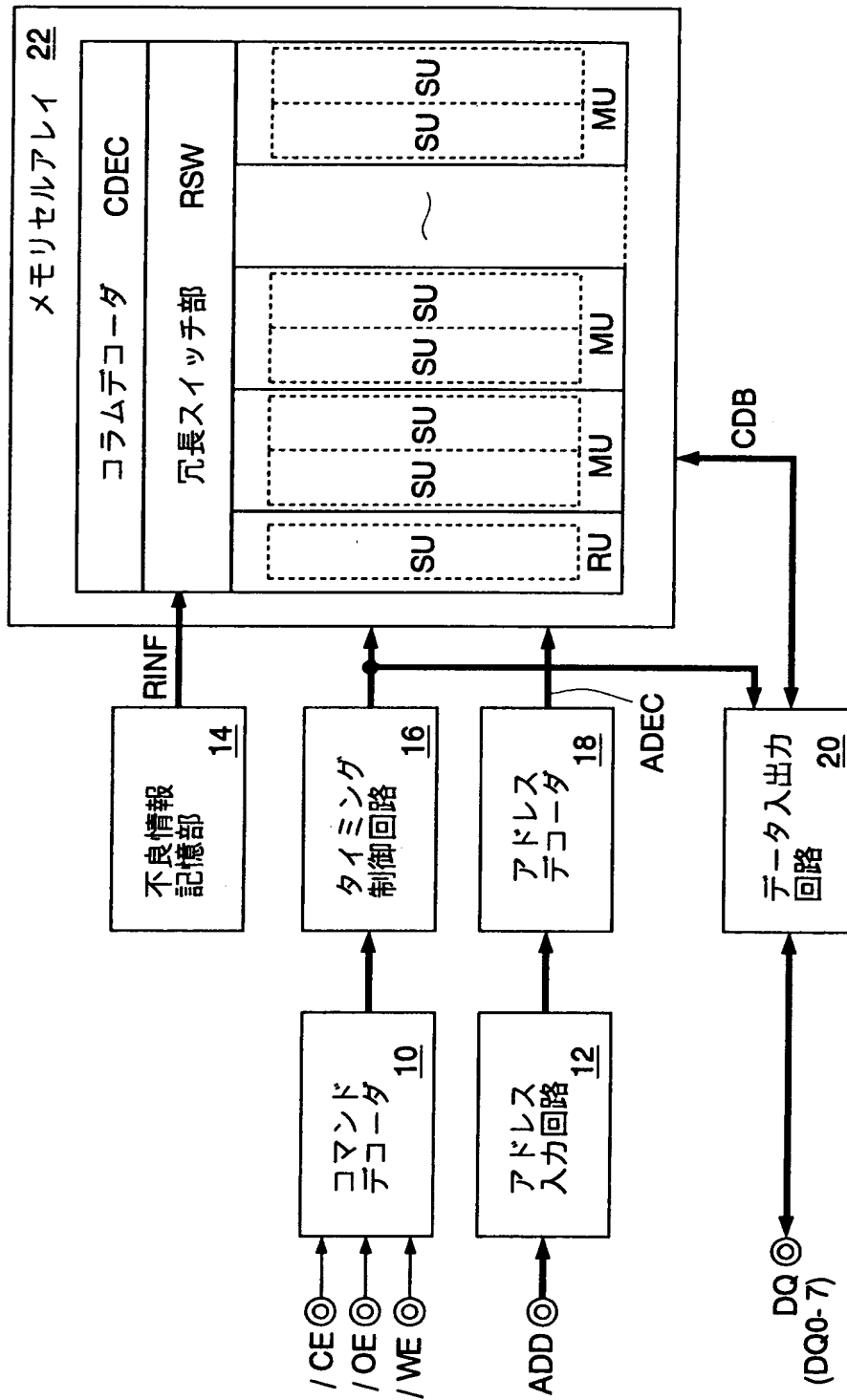
DB コモンデータバス
DQ (DQ0-7) データ端子
GDB グローバルデータバス線
ISO ビット線分離領域
LDB0、/LDB0、LDB1、/LDB1 ローカルデータバス線
M11、M12 第1トランジスタ
M21、M22 第2トランジスタ
M31、M32 第3トランジスタ
M41、M42 第4トランジスタ
MC メモリセル
MU 主メモリ部
/OE 出力イネーブル信号
RINF 冗長情報信号
RU 冗長メモリ部
PRE プリチャージ領域
RCL 読み出し制御信号
RSW 冗長スイッチ部
SA センスアンプ領域
SU 副メモリ部
WCL 書き込み制御信号
/WE ライトイネーブル信号
WL ワード線

【書類名】

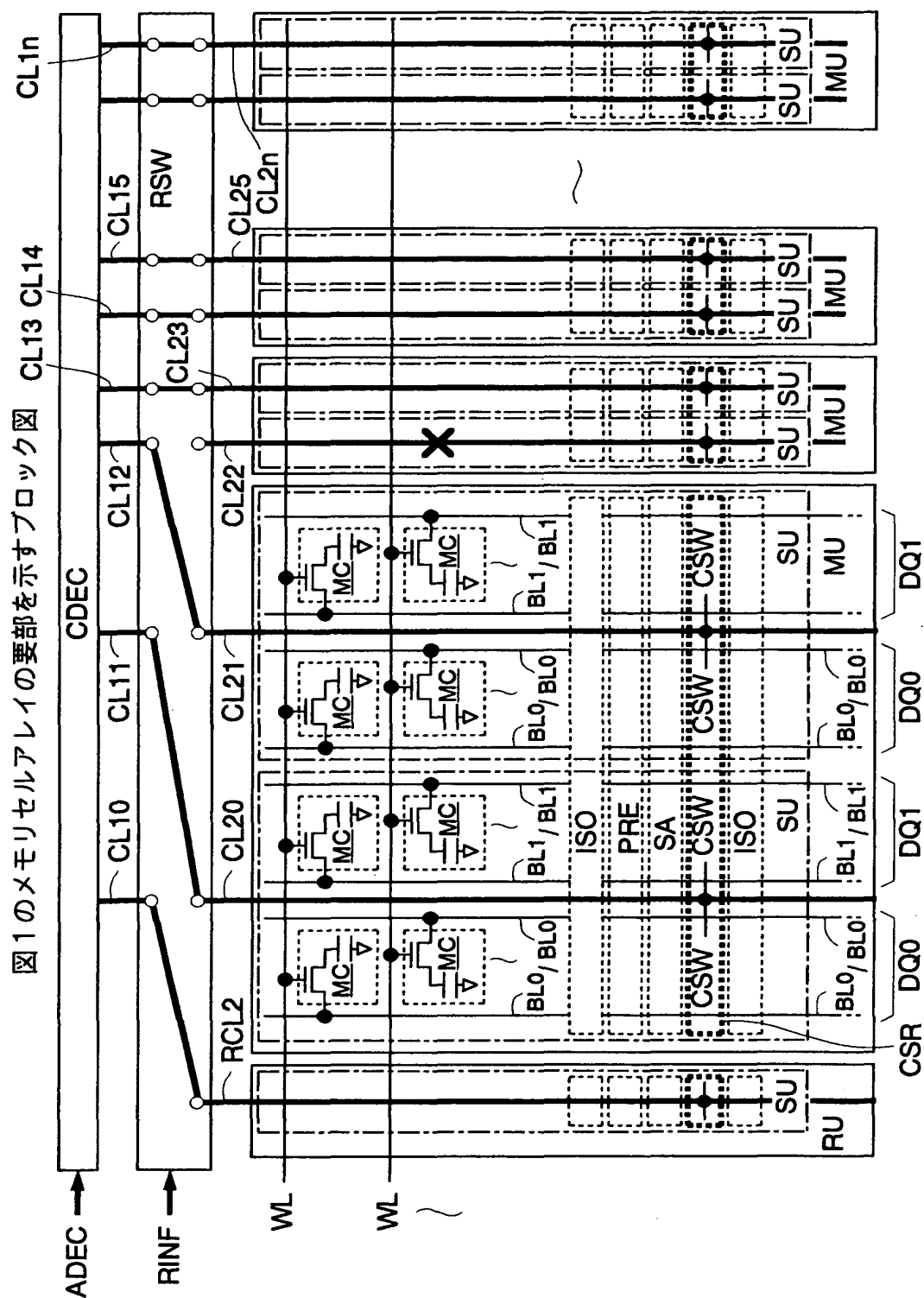
図面

【図 1】

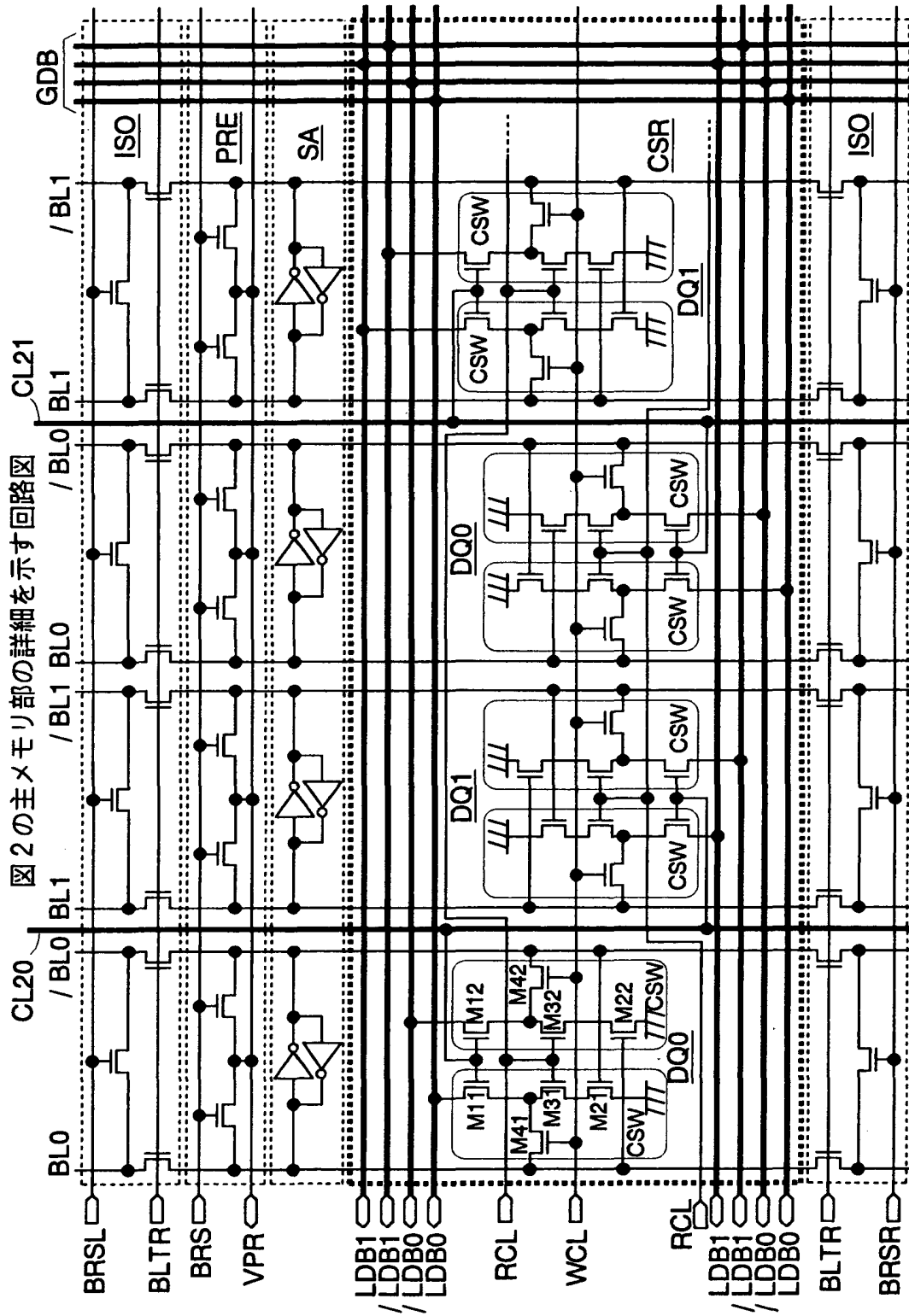
本発明の第 1 の実施形態を示すブロック図



【図 2】

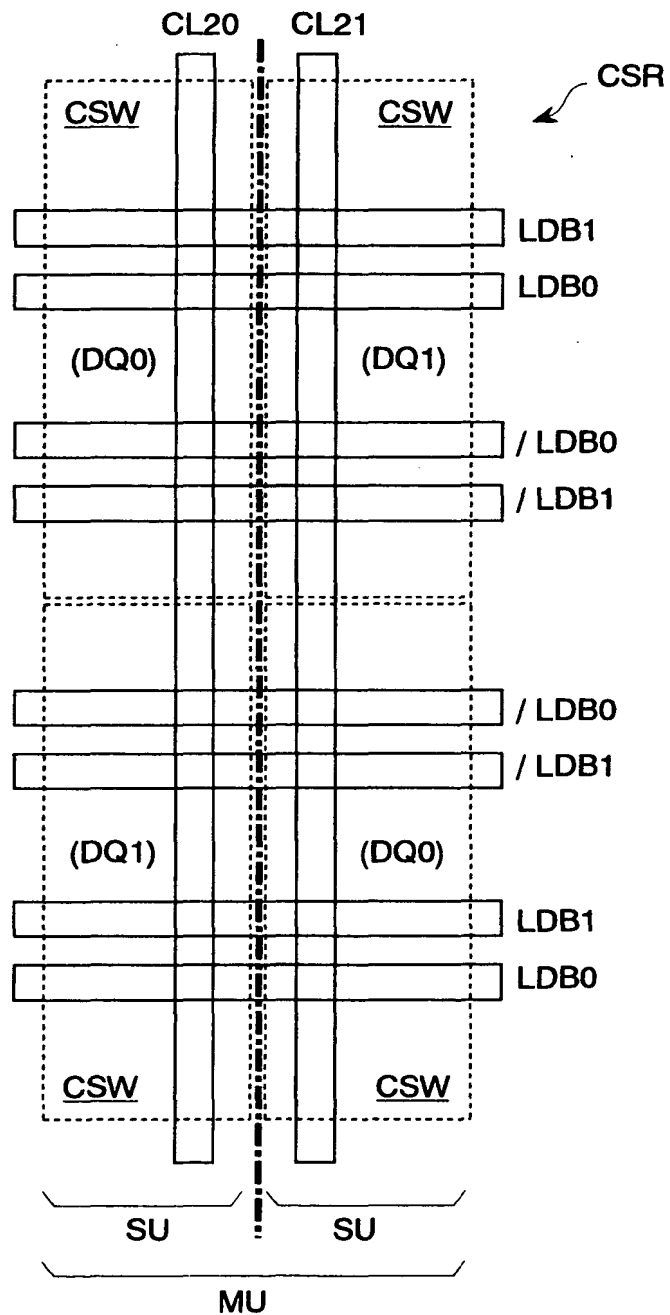


【図 3】



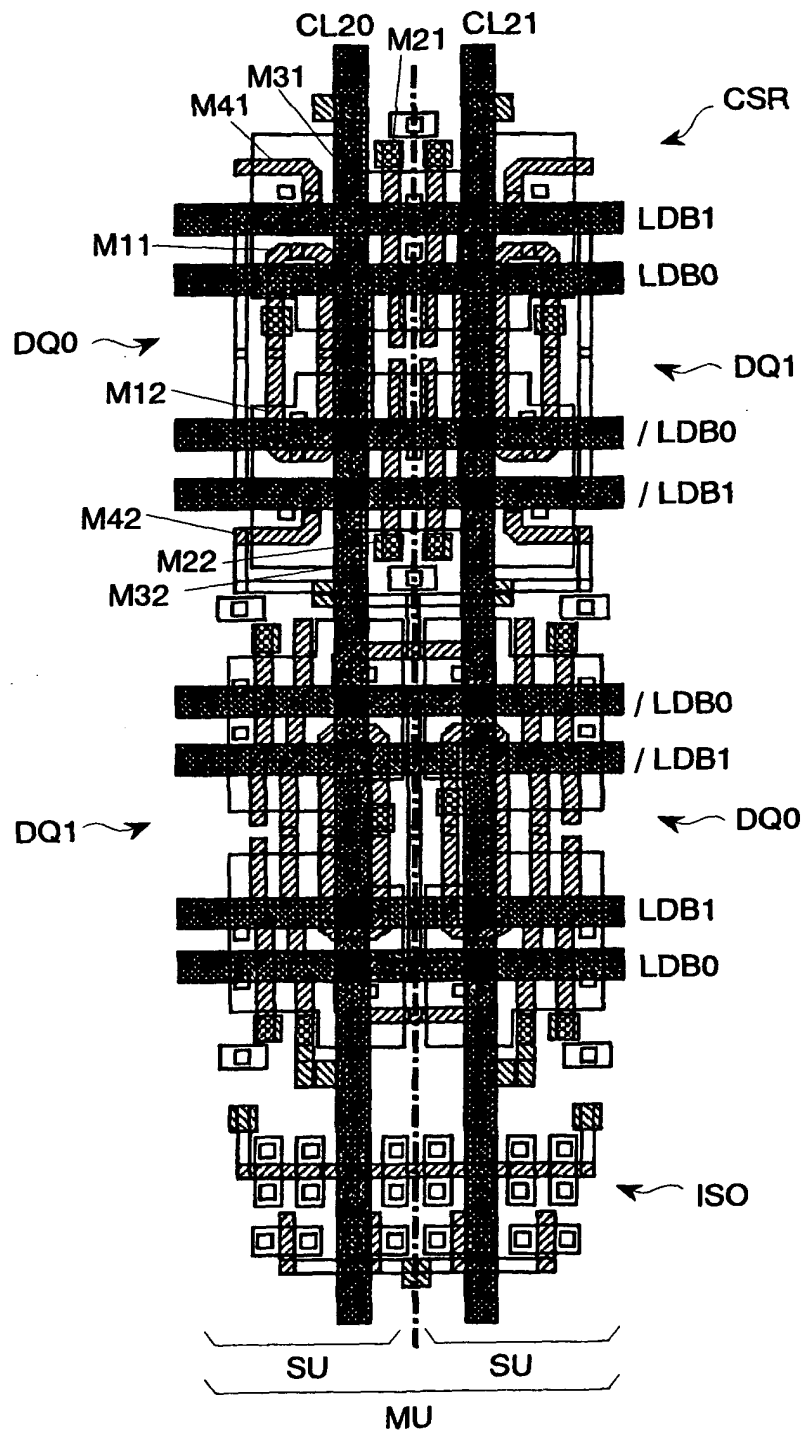
【図4】

図2および図3に示したコラムスイッチ領域の詳細を示すレイアウト図



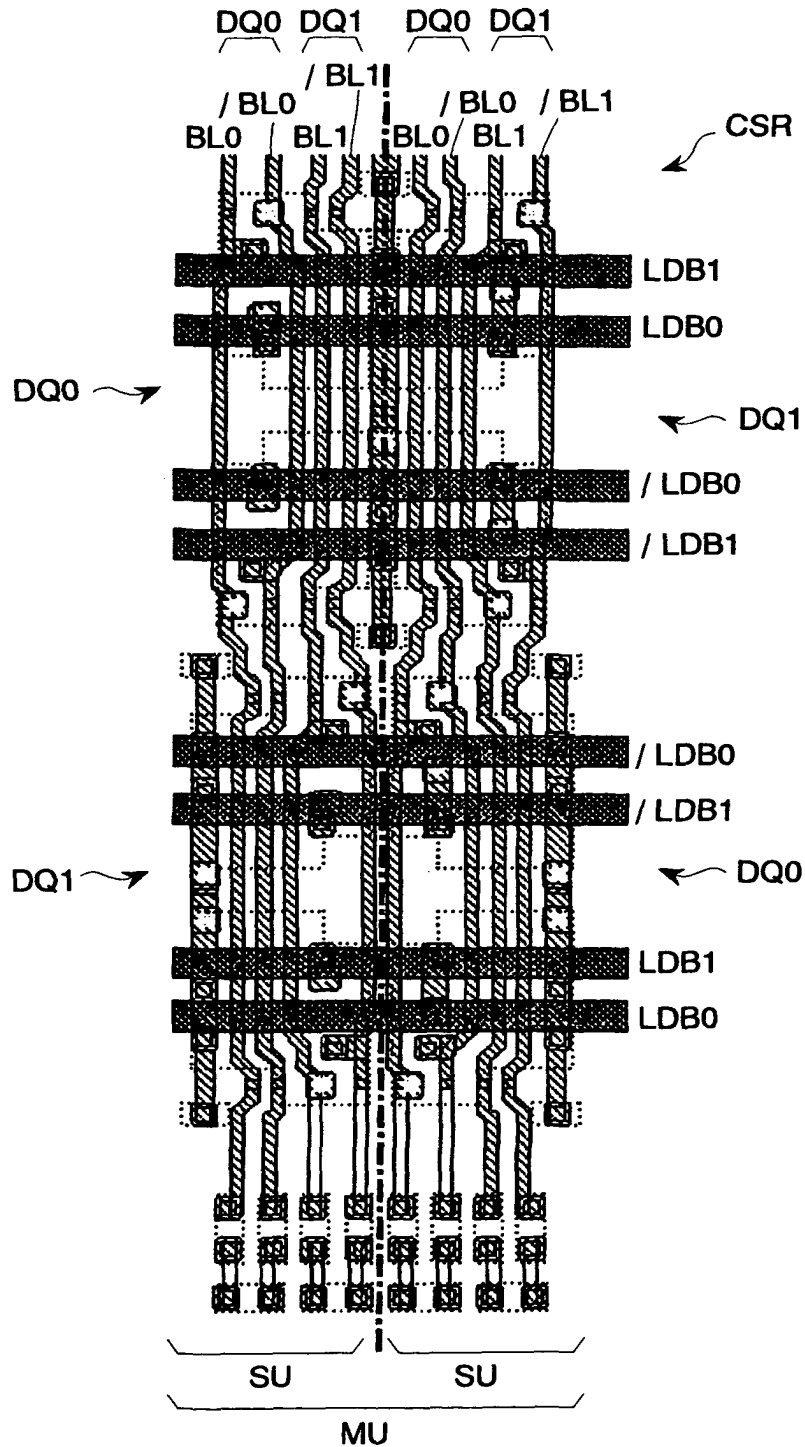
【図 5】

図2および図3に示したコラムスイッチ領域における
トランジスタの配置を示すレイアウト図



【図 6】

図 2 および図 3 に示したコラムスイッチ領域における配線層を示すレイアウト図



【書類名】 要約書

【要約】

【課題】 冗長回路の使用の有無にかかわらず、不良解析に掛かる時間を削減する。

【解決手段】 主メモリ部は、アドレスの異なる偶数個の副メモリ部により構成されている。副メモリ部は、メモリセル、互いに異なるデータ端子に対応するビット線、センスアンプおよびビット線をデータバス線に接続するコラムスイッチ回路を有している。主メモリ部のコラムスイッチ領域は、鏡面对称に形成されている。このため、冗長メモリ部を使用する救済時におけるビット線のデータ端子番号の並び順を、容易に冗長メモリ部を使用しない非救済時と同じにできる。この結果、不良解析時に、救済品と非救済品とでビット線の並び順を考慮する必要がなくなり、不良解析に掛かる時間を短縮できる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日	1 9 9 6 年 3 月 2 6 日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名	富士通株式会社